
Interner Bericht

VLSI-Bausteine
in geringen Stückzahlen
für Spezialanwendungen

Reiner W. Hartenstein

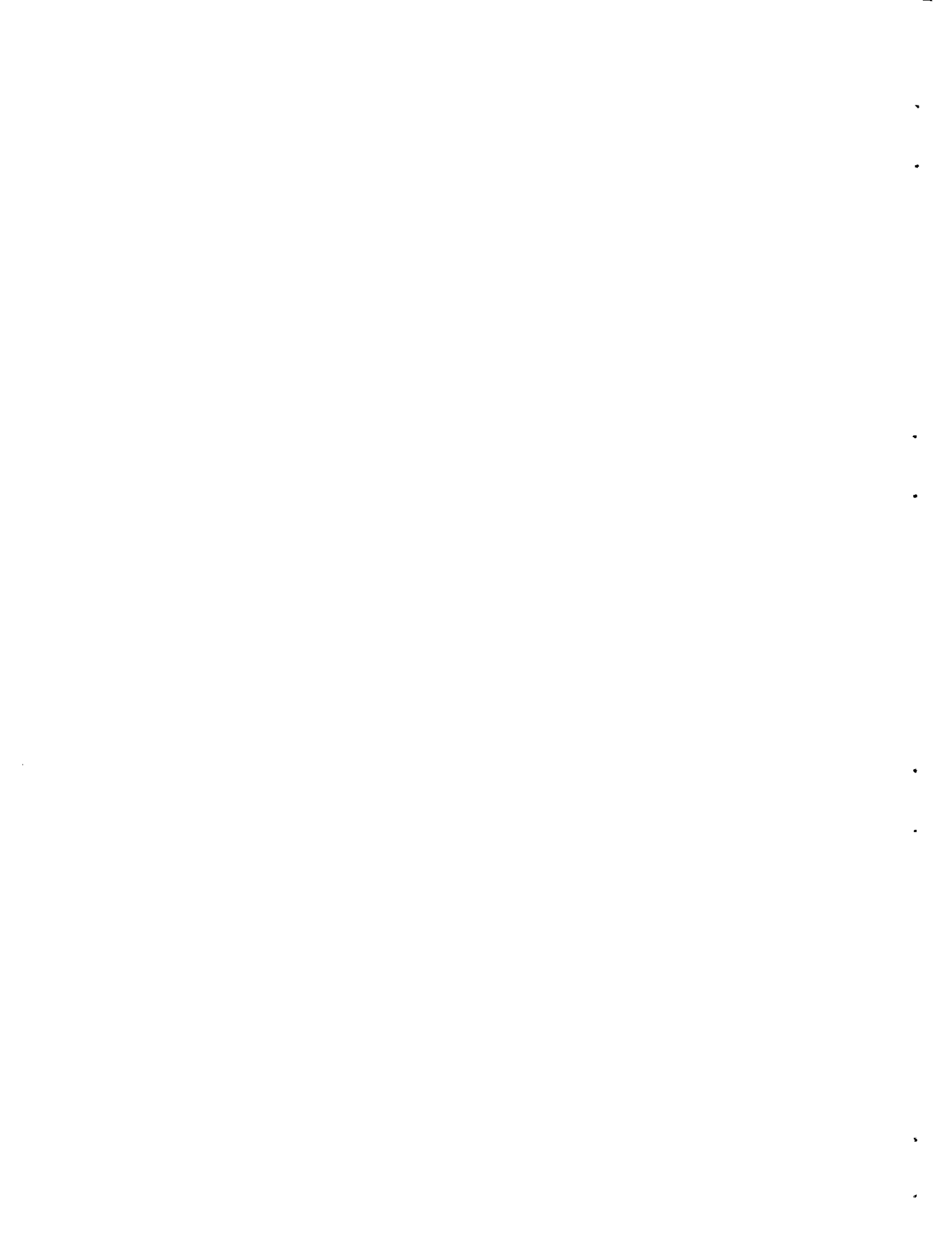
28/80

Fachbereich Informatik

VLSI-Bausteine
in geringen Stückzahlen
für Spezialanwendungen

Reiner W. Hartenstein

28/80



VLSI-Bausteine in geringen Stückzahlen für Spezial-Anwendungen

VLSI chip production in very small quantities

Elektron. Rechenanl. 22 (1980), H. 4, S. 159-173
Manuskripteingang: 22. Mai 1980

von R. W. HARTENSTEIN
Universität Kaiserslautern

Dieser Aufsatz beschreibt einen sich abzeichnenden Durchbruch zu innovativer Ausbreitung der Technologie hochintegrierter Bausteine. Eine neue Form der Zusammenarbeit zwischen Anwender, Designer, Maskenhersteller und Halbleiterfabrik ermöglicht ein schnelles Beheben des akuten Designer-Mangels. Eine rentable Herstellung kleinster Stückzahlen integrierter Bausteine und neue Entwurfsmethoden erlauben es dem Anwender, seine VLSI-Bausteine selbst zu entwerfen. Dabei ist es nicht mehr notwendig, daß der Anwender über Technologie-Erfahrung verfügt. Jeder Informatiker, der durchschnittliche Hardware-Kenntnisse hat, kann den Entwurf von nMOS-Schaltungen innerhalb etwa eines Monats erlernen. Der hier vorliegende Aufsatz berichtet dabei auch über Erfahrungen aus dem „Multi-University Multiproject Chip Set Project“, ein damit zusammenhängendes Pilotprojekt.

This paper describes a new form of cooperation between user, designer, mask maker, and fabrication line of VLSI circuits. This new organization supports the education of a large number of designers. It also enables the user to design his own chips. Design cost and the cost of prototype chips could be drastically reduced. Fast turnaround time allows to reduce or even skip simulation efforts. This paper also reports experience with the Multi-University Multiproject Chip Set Project organized at Xerox Palo Alto Research Center together with a number of Universities.

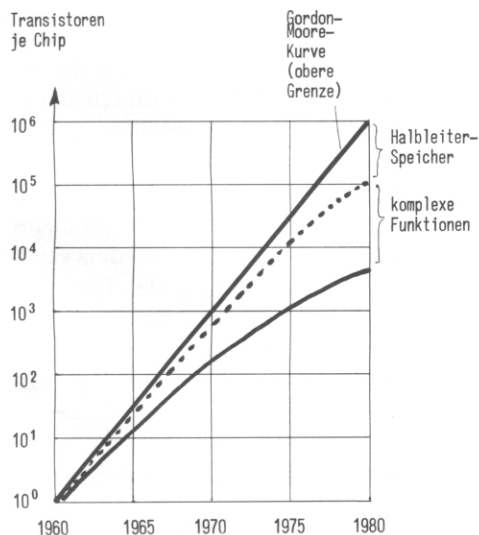


Bild 1. Veranschaulichung der Entwurfsücke.

1 Einleitung

Programm-Konstruktion und Entwurf höchstintegrierter Bausteine haben bezüglich dabei auftretender Probleme verblüffende Parallelen. Kommunikationsprobleme zwischen team-Mitgliedern, Zahl der Entwurfsfehler, Schwierigkeit des Austestens und Höhe der Entwurfskosten haben vergleichbare Größenordnungen. Man ist geneigt, in Analogie zur „Software-Krise“ auch den Begriff „Chipware-Krise“ zu prägen. Bild 1 zeigt neben der bekannten Gordon-Moore-Kurve das Wachstum der erreichbaren Anzahl von Transistoren pro Chip auch die „Entwurfsücke“. Dies heißt, daß der Gordon-Moore-Grenzwert der technologischen Möglichkeiten von Schaltungen der Praxis meist nicht erreicht wird. Am ehesten wird noch bei Halbleiterspeichern diese Grenze nahezu erreicht. Wegen der replikativen Struktur mit vielen gleichartigen Bit-Zellen ist der Entwurf relativ einfach. Bei komplexeren Funktionen, wie etwa Mikrorechnern mit einem mächtigerem Befehlssatz, zeigt sich die Entwurfsücke deutlich (vgl. Bild 1). Hier sind es die hohen Entwurfskosten und -Zeiten, die ein Erreichen der Moore-Grenze fast unmöglich machen. Auf diese Entwurfsücke wird später noch näher eingegangen. Eine weitere Veranschaulichung des Anstieges der Entwurfskosten zeigt das ebenfalls von Gordon Moore stammende Bild 2.

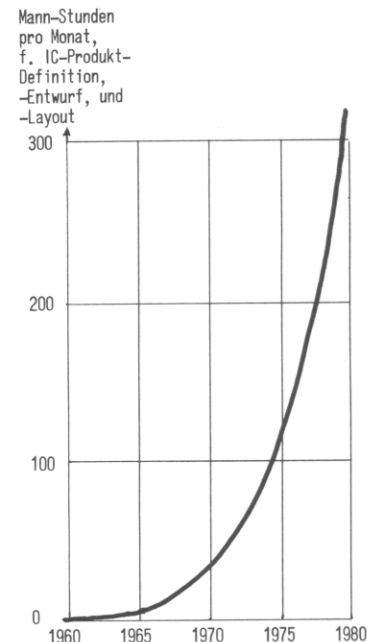


Bild 2. Anstieg der Entwurfskosten nach G. Moore.

Neben der sogenannten Entwurfslücke gibt es auch einen schon seit langem bekannten Mangel an qualifiziertem Personal. Symptome dieses Designer-Mangels bestehen beispielsweise darin, daß manche Firmen in den USA für die Vermittlung eines Designers bereit sind, Vermittlungsprämien in Höhe von mehreren Monatsgehältern zu bezahlen. Es wird zwar viel geredet, geschrieben und geforscht über computergestützte Entwurfssysteme. In der Entwurfspraxis des Halbleiterhauses jedoch spielen solche arbeitszeitsparenden Mittel noch keine große Rolle. Die Entwürfe werden meistens noch immer von Hand durchgeführt. Das einzig mechanisierte dabei sind vielleicht die Radiergummi. Die Mechanisierung bzw. Automatisierung findet erst lange nach dem Entwurf statt, nämlich dann, wenn die entworfene und aufgezeichnete Schaltung mit einem sog. „Digitizer“ in maschinenlesbare Form überführt wird. Hierbei handelt es sich jedoch nicht um einen Bestandteil des Entwurfsprozesses, sondern vielmehr um eine reine mechanische Dateneingabe in ein Computersystem. Relativ weitgehend mechanisiert ist von da ab die Herstellung der Masken und daran anschließend die Fabrikation der Schaltungen. Hierauf wird später näher eingegangen.

2 Streben nach Unabhängigkeit vom Halbleiterhaus

Auf dem Markt für integrierte Bausteine ist eine Erscheinung zu beobachten, die auch als „vertical migration“ bezeichnet wird. Halbleiterhäuser gehen mehr und mehr dazu über, auch in das Systemgeschäft einzusteigen. Möglicherweise sind sich die Halbleiterhäuser nicht sicher, ob sie auf die Dauer ihre ständig wachsende Produktion gut absetzen können. Ein weiterer Aspekt besteht natürlich darin, daß die Verwendung integrierter Schaltungen und deren Einbausysteme einen Veredelungsprozeß darstellt, wobei natürlich mehr verdient wird. Auf der anderen Seite ist auch die dazu duale Entwicklung zu beobachten. Mehr und mehr große Anwender von integrierten Schaltungen gehen dazu über, sich ihre eigenen Fabrikationseinrichtungen anzuschaffen. Lieferengpässe und auch Unzufriedenheit mit dem angebotenen Repertoire an Schaltungen mögen die Motivationen dafür sein. Natürlich können sich nur kapitalkräftige Unternehmen ihre eigenen Fabrikationseinrichtun-

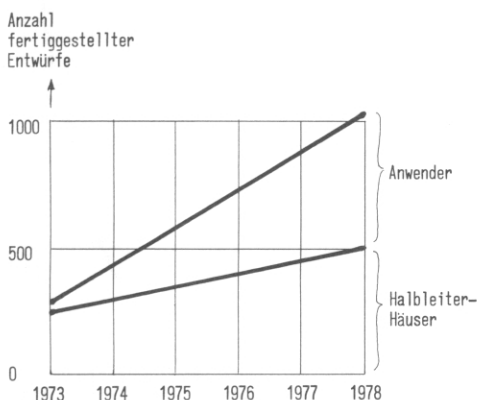


Bild 3. Zunahme des Anteiles an Kunden-Entwürfen (nach VTI).

gen zulegen. Entsprechend große Produktionsvolumina sind Voraussetzung für eine rationelle Fabrikation im Systemhaus.

Kleinere Systemhäuser sind darauf angewiesen, sich sog. „Kundenschaltungen“ anfertigen zu lassen bei speziellen darauf spezialisierten Halbleiterhäusern. Bild 3 zeigt die geschätzte Zunahme der Zahl bis zum Produkt realisierter Kundenentwürfe nach Unterlagen der Firma VTI, Los Gatos in Kalifornien. Man sieht daraus, daß sich der Anteil fertigerentwickelter Kundenschaltungen von weniger als 10% im Jahre 1973 auf etwa 50% im Jahre 1978 erhöht hat. Etwa 500 von über 1000 Schaltungen sind also im Jahre 1978 Kundenschaltungen. Die Firma VTI schätzt weiter, daß im Jahre 1985 die von Anwendern entworfenen integrierten Schaltungen ein Umsatzvolumen von über 1,1 Milliarden US-Dollar ausmachen werden. Die Wachstumsrate ist 20% jährlich, und etwa 50% des Umsatzes geht in elektronische „Konsumgüter“. In beiden Fällen, bei Entwürfen im Halbleiterhaus und bei Kundenentwürfen, sind die Entwicklungs- und Entwurfskosten so hoch, daß Rentabilität nur bei großen Stückzahlen gegeben ist.

	Spezifikation	Entwurf	Masken Herstellung	Fabrikation
Kunden-Entwürfe	Anwender			
Kunden-Schaltungen		Halbleiter - Haus		
Katalog-Schaltungen				

Bild 4. Formen der Arbeitsteilung zwischen Anwender und Fabrikation.

Auch bei Spezialfirmen für Kundenschaltungen sind die Entwicklungskosten sehr hoch, so daß eine Reihe von Anwendern dazu übergehen, auch ihren Entwurf selbst durchzuführen. Bild 4 zeigt die normale Arbeitsteilung zwischen Anwender und Herstellung, auch bei Firmen für Kundenentwürfe. Es zeigt sich dabei, daß die Halbleiterhäuser insbesondere auf dem Entwurfssektor sehr geringe Kapazität haben, wohingegen die Fertigung weniger ein Kapazitätsengpaß ist. Bild 4 veranschaulicht dann die Arbeitsteilung für den Fall, in welchem der Anwender auch den Entwurf übernimmt. Ein Beispiel hierfür in der Bundesrepublik ist die Firma BBC in Mannheim-Käfertal. Diese verfügt über ein computergestütztes Entwurfssystem, auf dem im Hause des Anwenders sämtliche Entwurfsarbeiten bis zur Erstellung des Datenträgers für Masken durchgezogen werden. Auf die Erstellung der Masken wird später näher eingegangen. Der folgende Abschnitt beschreibt zunächst die traditionelle Organisation der Zusammenarbeit.

3 Traditionelle Organisation der Halbleiterindustrie

Bild 4 hat bereits die traditionelle Organisation veranschaulicht. Hierbei werden im wesentlichen drei große

Stufen unterschieden: der Entwurf der integrierten Schaltung, die Herstellung der Masken (die ganz naiv vergleichbar sind mit Negativen beim Fotografieren) und schließlich die Fabrikation der Schaltungen. Die Schnittstellen zwischen diesen Stufen sind recht kompliziert und werden nur von hochqualifizierten Fachleuten beherrscht. Die Schnittstellen-Information ist häufig schlecht oder überhaupt nicht dokumentiert und wird mündlich übermittelt mit den dabei auftauchenden Kommunikationsproblemen. Im folgenden werden die einzelnen Stufen etwas genauer beschrieben. Vor allem wird klarzumachen versucht, warum wegen dieser Organisationsform der Entwurf und die Herstellung für viele ein „Buch mit sieben Siegeln“ betrachtet ist.

3.1 Die traditionelle Entwurfs-Organisation

Der Entwurf integrierter Digital-Schaltungen umfaßt eine Hierarchie methodologischer Ebenen, die jeweils unterschiedliche Notationen und Methoden verwenden. In jeder dieser Ebenen werden Strukturen synthetisiert, die in der darüberliegenden Ebene wiederum als (Bau-)Elemente dienen. So entsteht eine ganze Folge von Syntheseprozessen und natürlich auch Verifizierungs-Prozessen mit verschiedensten Methoden. Am VLSI-Entwurf beteiligte Disziplinen sind dabei:

- Architektur hochparalleler Systeme
- System-Entwurfs-Methodik
- Logischer Entwurf
- Schaltungstechnik
- Geometrischer Layoutmuster-Entwurf
- „Device“-Physik

Der Entwurf geometrischer Layoutmuster resultiert schließlich in der Spezifikation der Masken, die dann in die zweite große Stufe der Entwurfs- und Herstellungsorganisation eingehen. Darüber wird später geschrieben. Die „Device“-Physik mit ihren Transistormodellen hat hierbei häufig mehr eine Art Servicefunktion zur Lieferung von quasi fertigen Rezepten. Das Blockdiagramm in Bild 5 veranschaulicht die Zusammenarbeit. Für die 4 Ebenen Systementwurf, Logikentwurf, Schaltungsentwurf und Layoutentwurf sind jeweils besondere Spezialisten vorhanden. Diese Spezialisten arbeiten intensiv zusammen. Ein Logikentwurf wird beispielsweise nach

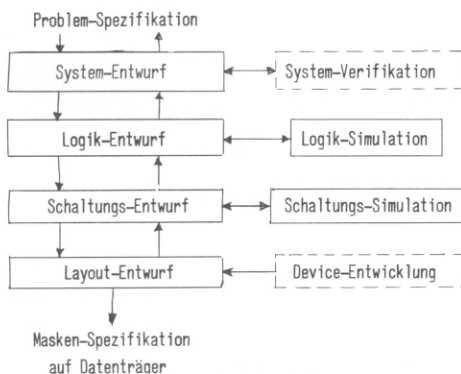


Bild 5. Entwurfs-Organisation für Massenproduktion.

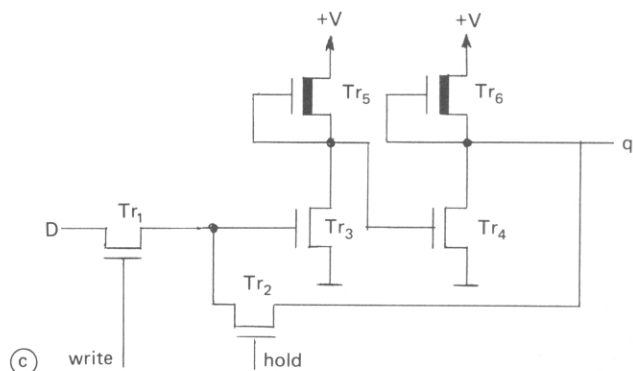
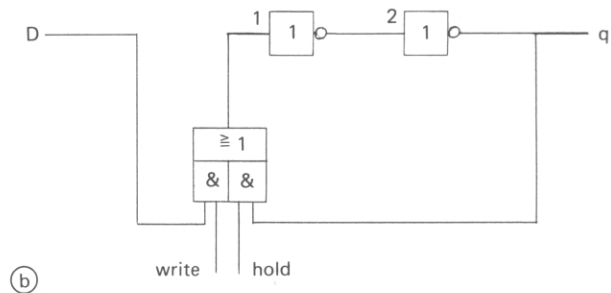
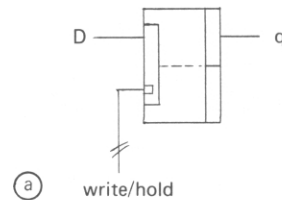


Bild 6. Ausschnitt aus einem dynamischen Schieberegister, Darstellung der Register-Transfer-Ebene (a), der logischen Ebene (b) und der Schaltkreis-Ebene (c).

Vollendung an den Schaltungstechniker übergeben. Wenn dieser Einwenden hat, geht er mit Änderungswünschen wieder zurück an den Logiker. Ebenso gut mag auch der Logiker den Entwurf des Systemmannes zurückweisen. Das Organisationsprogramm enthält also größere Anzahlen von Rückkopplungsschleifen, was auf eine komplizierte Zusammenarbeit schließen läßt. Die Zahl der Mißverständnisse durch Kommunikationsschwierigkeiten zwischen den verschiedenen ausgebildeten Spezialisten ist groß. Durch diese Kommunikationsschwierigkeiten geht viel Zeit verloren und werden viele Fehler erzeugt. Da der Entwurfsprozeß Monate oder gar Jahre dauern kann, versucht man, sehr gründlich vorzugehen. Man verwendet zur Verifikation der Entwürfe Simulationsprogramme in den verschiedenen Ebenen. Die Simulationsprogramme sind aufwendig und benötigen sehr viel Rechenzeit auf Hochleistungsrechenanlagen. Simulationsläufe von mehr als einem Tag kommen vor.

Die Hierarchie der Ebenen soll an einem ganz einfachen Beispiel veranschaulicht werden. Als Beispiel wird ein D-Flipflop aus einem Schieberegister verwendet. Bild 6 zeigt die typischen graphischen Darstellungen aus den verschiedenen betroffenen Ebenen. Bild 6a zeigt ein D-Flipflop aus dem verwendeten Schieberegister in der Darstellungsform der Systemebene (Registertransfer-

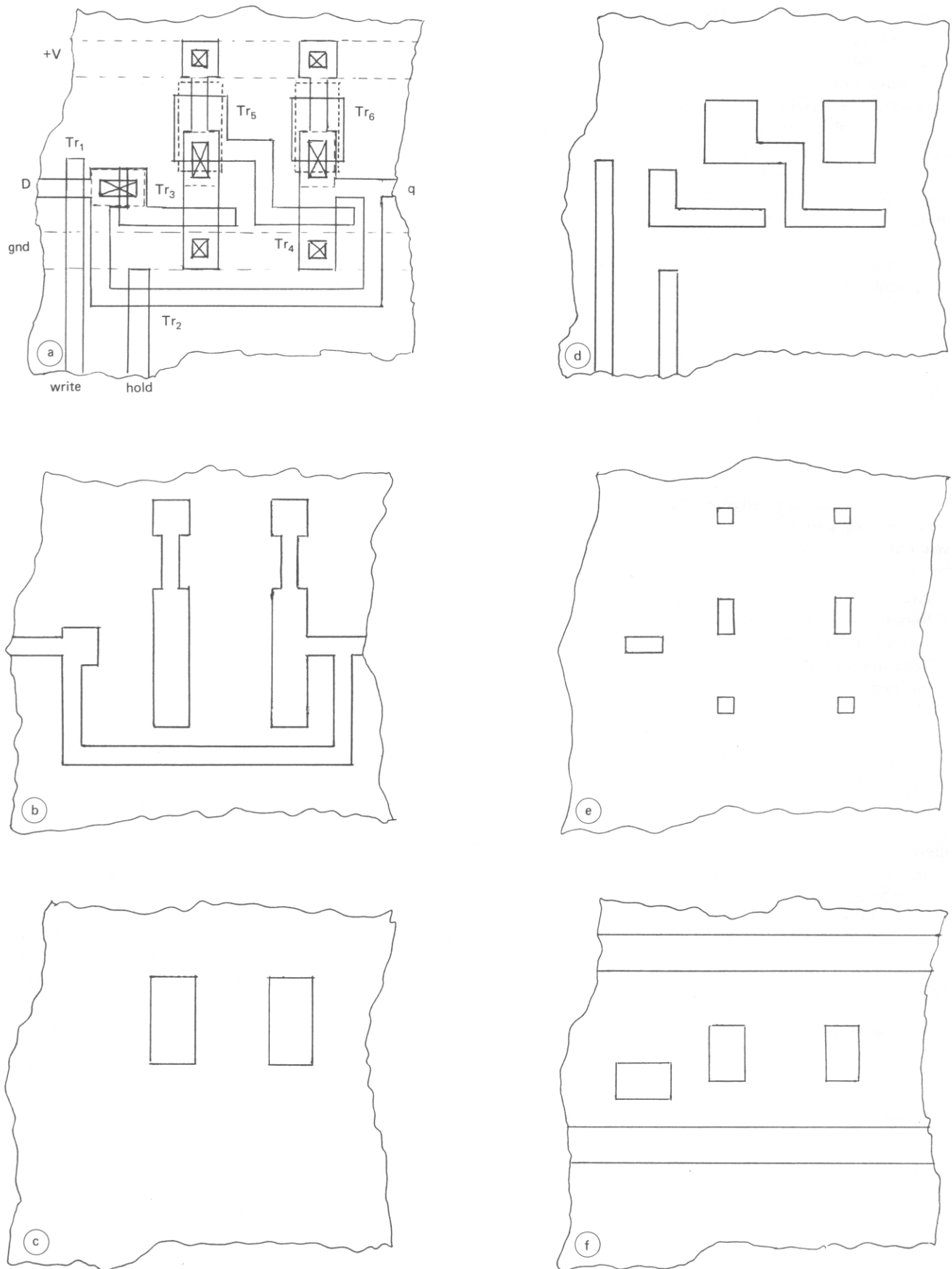


Bild 7. Ausschnitt eines dynamischen Schieberegisters: Layout (a), Diffusions-Maske (b), Maskenlayout für Ionen-Implantation (c), polykristallines Silizium (d), Durchkontaktierungsloch (e), Metallisierung (f).

ebene). Bild 6b zeigt das Logikdiagramm. Ein Multiplexer mit 2 Eingängen stellt entweder die Rückkopplungsschleife zwischen den beiden Inverterstufen 1 und 2 her, oder er ermöglicht (in der Stellung „load“) das Einschreiben eines neuen Wertes. Man sieht in Bild 6c, wie der Multiplexer durch zwei sogen. „Pass Transistoren“ Tr1 und Tr2 realisiert ist. Bild 6c zeigt die Darstellung der Schaltungsebene. Die Transistoren Tr5 und Tr6 sind sogen. „Lasttransistoren“, die ein Ersatz für Arbeitswiderstände sind. Tr3 und Tr4 sind die Schalttransistoren der beiden Inverterstufen, gebildet aus Tr3 und Tr5 bzw. Tr4 und Tr6. Bild 7a schließlich zeigt das Layout-Muster, das die zweidimensionale geometrische Anordnung der Transistoren und Verbindungen auf der Oberfläche der integrierten Schaltungen zeigt für einen n -Kanal silicon gate depletion load Prozeß. Bild 7b zeigt die Layout-Muster der fünf hierzu erforderlichen Masken für Diffusion (b), Ionen-Implantation (c), polykristallines Silizium (d), Durchkontaktierungslöcher (e) und Metallisierung (f).

3.2 Konventionelle Maskenherstellung

Zur Übertragung der Layoutmuster der verschiedenen Ebenen der integrierten Schaltung, wie oben am Beispiel des n MOS-Prozesses veranschaulicht, wird ein Satz von 5 verschiedenen Masken benötigt. Für jede der oben geschilderten Ebenen wird eine separate Maske benötigt: für den Diffusionsbereich, Ionenimplantation, polykristallines Silizium, Durchkontaktierung und Metallisierung. Masken können auf zwei Arten hergestellt werden. Optisch generierte Masken werden erzeugt durch Übertragung des Musters einer Layout-Ebene auf eine fotoempfindlich gemachte Glasplatte, „Retikel“ genannt. Der Maßstab, bezogen auf die Größe des Endproduktes, ist zehn zu eins. Die Mustererzeugung auf dem Retikel geschieht in einer Maschine, die Rechtecke variabler Größe und variabler Winkelorientierung durch eine

Folge ultravioletter Lichtblitze auf das Retikel projiziert. Dieser Maskenerzeugungsprozeß besteht aus insgesamt 3 Schritten pro Schicht, wie Bild 8 veranschaulicht. Mit Hilfe einer sogen. „step and repeat camera“ wird das Bild vom Retikel optisch verkleinert auf Originalgröße und auf einer lichtempfindlichen sogen. Mutterplatte wiederholt abgelichtet. Die wiederholte Ablichtung erfolgt derart, daß sich in einer zweidimensionalen Matrixanordnung viele gleichartige Bilder nebeneinander auf der Fotoplatte befinden. Die Mutterplatte jeder Ebene wird dann zur Herstellung der Arbeitsmasken verwendet auf dem Wege des Kontaktverfahrens. Die Arbeitsmasken werden dann letztlich bei der Produktion für den optischen Prozeß auf dem eigentlichen Halbleitermaterial angewendet. Arbeitsmasken werden deshalb statt der Muttermaske verwendet, weil sie einem relativ starken Verschleiß ausgesetzt sind.

3.3 Fabrikationsschritte

Die Arbeitsmasken werden dann schließlich dazu verwendet, die Layoutmuster auf Siliziumscheiben zu übertragen. Die komplizierte Prozedur hierzu umfaßt bei Silizium-Gate- n MOS-Prozessen über 40 verschiedene Schritte. Die Prozeßzeit, die dazu erforderlich ist, beträgt etwa 50 Stunden. Eine Fabrikationseinrichtung geht in der Regel von Los-Größen von 10–20 Scheiben als Minimum aus. Trotz aufwendiger Qualitätskontrollen sind häufig einige dieser Scheiben fehlerhaft. Es kann sogar vorkommen, daß ein ganzes Los fehlerhaft ist und noch einmal neu fabriziert werden muß. Die 50 Stunden Prozeßzeit sind typischerweise über etwa einen ganzen Monat der Kalenderzeit verteilt. Grund dafür ist Kapazitätsoptimierung bei der Fabrikationseinrichtung und häufige Inspektionen.

Ein hochqualifizierter Designer muß auch umfangreiche Kenntnisse über den Fabrikationsprozeß und den Maskenherstellungsvorgang haben. Der Prozeß und die Maskenherstellung kann beispielsweise dazu führen, daß die Geometrie der Layoutmuster beeinflusst wird. So ist es denkbar, daß geometrische Muster zur Kompensation dieser Verfälschungen im voraus gestreckt oder geschrumpft werden müssen. Je nach Fabrikationseinrichtung kann für einen bestimmten Produktionsschritt u. U. eine positive oder im anderen Fall eine negative Maske benötigt werden. Auch diese Einzelheit muß dem Designer bekannt sein. Der Designer ist verantwortlich für die Erfassung all dieser wichtigen Informationen über den Fabrikationsprozeß und der Maskenherstellung. Mißachtung solcher Informationen kann zu Verzögerungen von mehreren Wochen führen. Die Schnittstelle zwischen Designer, dem Maskenhaus und der Fabrikationseinrichtung ist schlecht definiert. Viele der notwendigen Informationen sind nicht dokumentiert und werden mündlich übermittelt.

Zusätzlich hierzu sollte der Designer noch Kenntnisse haben über die Justiermarken, die eine korrekte Platzierung der einzelnen Masken übereinander ermöglichen.

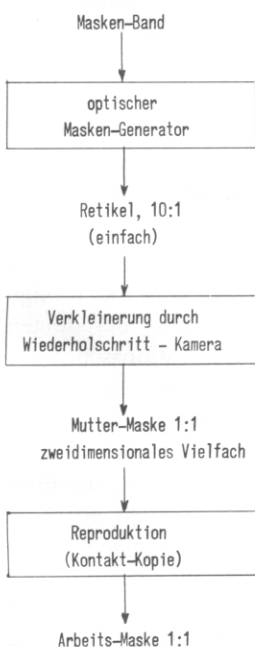


Bild 8. Herstellungsschritte für die Maske einer Layout-Ebene.

Außerdem sind auch spezielle Testmuster vorhanden, die das Auflösungsvermögen und die genaue Platzierung der Masken zu kontrollieren erlauben. Darüber hinaus sind auch noch besondere elektrische Schaltungen als Prozeßtestmuster anzubringen. Diese Muster erlauben es durch elektrische Messungen, die Qualität des Herstellungsprozesses zu kontrollieren. In der Regel muß der Designer selbst sich um all diese Dinge kümmern. Sehr häufig besteht auch kein direktes Kommunikationsmedium zwischen der Maskenherstellung und der Fabrikationseinrichtung, so daß der Designer selbst auch hier als Träger fungieren muß und somit höchste Verantwortung trägt. Er muß also vertraut sein mit allen Einzelheiten beider Schritte, der Maskenherstellung und der Fabrikation.

3.4 Warum ein Buch mit sieben Siegeln?

Vielfach wird der Entwurf und die Herstellung von integrierten Schaltungen als ein Buch mit sieben Siegeln betrachtet. Der Designer erscheint als eine Art hochbegabter Künstler mit sehr seltenen Fähigkeiten. Eine Folge dieses Image des Designers ist es natürlich, daß sehr viele Elektrotechniker oder Informatiker beim Studienabschluß glauben, daß sie sich auf keinen Fall an dieses Thema heranwagen können. Vielleicht trägt dies auch zu dem akuten Designermangel bei.

Neben dem Image des Designers gibt es noch weitere Hindernisse auf dem Weg dahin, daß der Entwurf integrierter Schaltungen eine weitere Verbreitung findet. Es handelt sich hierbei um die hohen Kosten der Maskenherstellung und auch der Herstellung eines Loses von Scheiben mit integrierten Schaltungen. Ein drittes Hindernis besteht darin, daß man annimmt, daß der Entwurf integrierter Schaltungen meist nur unter gleichzeitigem großen Aufwand für die Simulation der Entwürfe möglich ist. Man kann also nicht einfach zur Probe eine Schaltung entwerfen und davon einige Stücke wie etwa (5–10 Stück) herstellen lassen. Vielmehr muß man Zugang zu sehr teuren Investitionsgütern haben. Dies ist normalerweise nur innerhalb eines Halbleiterhauses möglich. Ein großes Hindernis ist natürlich der große Umfang an Kenntnissen, die ein Designer über den Herstellungsprozeß und die Maskenherstellung haben muß. Die Hindernisse auf dem Wege zum VLSI-Entwurf „für Viele“ lassen sich wie folgt zusammenfassen:

- 1) die Dauer der Ausbildung für Designer,
- 2) teure Maskenherstellung,
- 3) teurer Fabrikationsprozeß,
- 4) schwierige Schnittstelle zwischen Designer einerseits und Maskenhaus und Fabrikationseinrichtung andererseits.

Die Frage ist nun, welche dieser Hindernisse ließen sich evtl. aus dem Weg räumen. Die Ausbildung der Designer läßt sich erheblich vereinfachen unter bestimmten Voraussetzungen. Die billige Herstellung einiger weniger Musterschaltungen ermöglicht die finanziell tragbare Organisation eines Übungsbetriebes bei der Ausbildung. Eine Umorganisation der Schnittstelle zwischen Designer

einerseits und Maskenherstellung und Fabrikation andererseits führt zu einer Reduktion der vom Designer benötigten Kenntnisse. Die Beschränkung der Ausbildung auf Digitalschaltungen, und hierbei wiederum auf einen der wichtigsten Prozesse, ermöglicht eine weitere Reduktion des Stoffes bei der Ausbildung von Designern. Besonders konservative Entwurfsregeln („design rules“) ermöglichen evtl. den Verzicht auf Simulationen. Auf diese Weise kann erheblicher Rechenzeitaufwand eingespart werden. Auch die vorläufige Ausklammerung von Optimierung bezügl. Flächenbedarf und Geschwindigkeit der Schaltungen ermöglichen eine gestraffte „Grundausbildung“ von Designern. Ein entsprechendes Lehrbuch, welches von ähnlichen Randbedingungen ausgeht, ist inzwischen am Markt [1]. Dabei wird auch von möglichst einfachen Transistormodellen ausgegangen, so daß man auch mit relativ geringen Technologiekenntnissen den Entwurf integrierter Digitalschaltungen lernen kann. Das Buch basiert auf einem *n*MOS-Prozeß mit Silicon gate und depletion load. Nach diesem Buch wurden in der Zwischenzeit an etwa 1½ Dutzend Universitäten in den USA und außerhalb der USA (auch in Kaiserslautern) Vorlesungen mit Übungen abgehalten (vgl. [2]). Zum Erstaunen der Kursveranstalter und Teilnehmer besagt die Erfahrung: in nur einem einzigen Monat kann man den Entwurf integrierter Digitalschaltungen lernen. Man stellt also überrascht fest, daß der Entwurf von VLSI-Bausteinen plötzlich kein Buch mit sieben Siegeln mehr ist.

4 Vier Forderungen an eine neue Infrastruktur

Erfahrungen mit dem Text nach *Carver Mead* und *Lynn Conway* ermutigen zu einer Reihe von Forderungen bezügl. einer neuen Infrastruktur in der Zusammenarbeit zwischen Designer und Maskenhersteller und Halbleiterfabrik. Die Designerlücke (der akute Mangel an Designern) und die Entwurfsflücke (progressiv ansteigende Entwurfskosten) sind Motivation genug, nach einer Änderung der Infrastruktur zu verlangen. Die wesentlichen Forderungen sind folgende:

- 1) das Schließen der Entwurfsflücke,
- 2) Das Beheben des Designermangels,
- 3) Fabrikation in kleinsten Stückzahlen,
- 4) ein neuer Stil der Ausbildung.

Der Entwurf und die Herstellung integrierter Schaltungen darf kein Heiligtum mehr sein, zu dem nur wenige hohe Priester Zutritt haben. Die Erfüllung der obigen Forderungen führt zu einem neuen Innovationsschub auf dem Gebiet der Anwendung hochintegrierter Digitalbausteine. In den Vereinigten Staaten ist man auf dem Wege, diese Forderungen zu erfüllen. Es besteht die Gefahr, daß solche hochtechnisierten Länder (wie etwa die Bundesrepublik), die sich dieser Bewegung nicht anschließen, sehr schnell ins Hintertreffen geraten können. In der Bundesrepublik ist eh die Wettbewerbsfähigkeit auf dem Mikroelektroniksektor nur beschränkt. Der Markt für Unterhaltungselektronik ist praktisch schon an Japan

verlorengegangen. Der Markt für intelligente Meßgeräte droht verlorenzugehen. Es besteht also aller Grund, Sorge zu tragen dafür, daß wir nicht noch auf einem weiteren Gebiet den mühsam gerade eben annähernd erreichten Anschluß wieder verlieren.

Gerade jetzt ist der richtige Zeitpunkt, mit der Erfüllung der obigen vier Forderungen zu beginnen. Die Entwicklung der verschiedenen methodischen Ebenen, die mit dem Entwurf und der Herstellung Integrierter Schaltungen zusammenhängen, sind gerade im richtigen Entwicklungsstadium. Der Verlauf der Technik-Entwicklung sei hier etwas beleuchtet. Man kann ja die Entwicklung wissenschaftlicher Disziplinen in etwa drei Phasen aufteilen, wie in Bild 9 veranschaulicht ist. Der Endzustand ist dann die Saturiertheit, die nach der dritten Phase folgt. Die erste Phase ist eine Pionierphase, in welcher wenige, aber revolutionäre „Basisideen“ entwickelt werden, welche wiederum rasch zu weiteren neuen Ideen inspirieren. Deshalb nimmt der Wissensstand (etwa die Zahl der Ideen, Konzepte oder Prinzipien) exponentiell zu. Dann geht die Entwicklung in eine evolutionäre Phase über, in der nur noch wenige Ideen gefunden werden, welche wirklich neu sind. Das Gebäude der Disziplin wird in seinem Rohbau fertiggestellt, d.h., eine mehr oder weniger umfassende Methodologie entsteht. In der dritten Entwicklungsphase, der Konsolidierungsphase, entstehen im wesentlichen nur noch Verfeinerungen und Abrundungen. Es werden wenige noch existierende Lücken geschlossen.

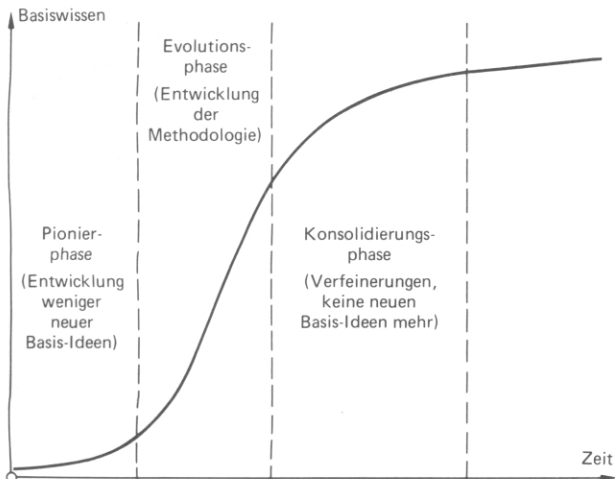


Bild 9. Entwicklungs-Phasen in wissenschaftlichen Disziplinen.

Bild 10 (aus [3]) veranschaulicht die Aufeinanderfolge in der Entwicklung derjenigen Disziplinen, die für die Realisierung von VLSI-Technologie notwendig sind. Von der Halbleiterphysik sind zur Zeit keine revolutionären Beiträge mehr zu erwarten, jedenfalls nicht bei VLSI-Technologie in der heutigen Form. Die Grenzen der Physik sind in etwa bekannt. Auch die Fabrikationstechnologie wird von manchen Experten als ausgereizt angesehen. Es wird gelegentlich vermutet, daß viele „exotische“ Technologien nur Übergangstechnologien seien (so beispiels-

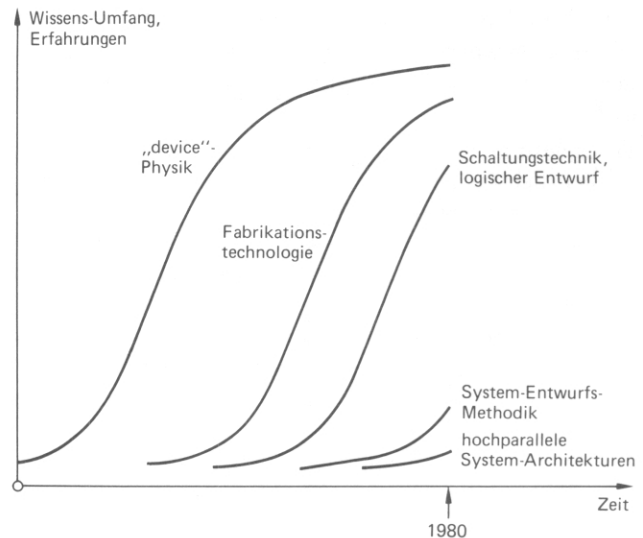


Bild 10. Stufenweise Entwicklung der Disziplinen zur VLSI-Technologie.

weise in [1]) und nur wenige Technologien (u.a. etwa *n*MOS und CMOS) langfristig überleben werden. Im wesentlichen ist nur noch eine Verbesserung des Auflösungsvermögens und der Geschwindigkeit sowie die Erreichung anderer Verfeinerungen zu erwarten (vgl. a. [4]). Auch die Schaltungstechnik und der logische Entwurf sind inzwischen bei weitem konsolidiert, also quasi „klassische Disziplinen“ geworden. Bei Wahl einer „nicht-exotischen“ Technologie ist also die Zeit reif für Innovationen, die den VLSI-Entwurf einem breiteren Anwenderkreis zugänglich machen. Die Realisierung obiger 4 Forderungen an eine neue Infrastruktur ist ein Weg dorthin.

Unterentwickelt sind diejenigen Disziplinen, die sich mit der Beherrschung von Komplexität an sich beschäftigen. Hierzu gehört die Systementwurfsmethodik, d.h. die Methodik der höchsten Ebene des Entwurfs. Außerdem gehört die Disziplin des Entwurfs hochparalleler Systemarchitekturen dazu. Von diesen Disziplinen wäre dann eine Behebung der Entwurfs-lücke zu erwarten. Hiermit beschäftigt sich der nächste Abschnitt. Diese beiden Disziplinen lassen sich nur dann gut entwickeln, wenn der VLSI-Entwurf aus dem Technologie-Bereich herausgetragen wird.

4.1 Strukturierter Entwurf integrierter Schaltungen

Die wichtigste Gegenmaßnahme von der Entwurfsseite her ist z.Z. durch solche Verfahren zu erwarten, welche besser testbare Strukturen, besser überschaubare Strukturen und vor allem leichter entwerfbare Strukturen zum Gegenstand haben. Vom Computer-gestützten Entwurf ist kurzfristig keine so schnelle Hilfe zu erwarten. Dafür notwendige Investitionen wären sehr hoch. Vielmehr ist unter gewissen Randbedingungen sogar die Verringerung von Computer-Anwendungen empfehlenswert. Hier ist vor allem an solche Entwurfsverfahren gedacht, die den Bedarf an Simulation auf Hochleistungsrechnern zu re-

duzieren erlauben. Ansätze zu entsprechenden Entwurfsverfahren werden gelehrt in [1]. Eine prägnante Zusammenfassung der dahinterstehenden Entwurfs-Philosophie ist folgende [5]:

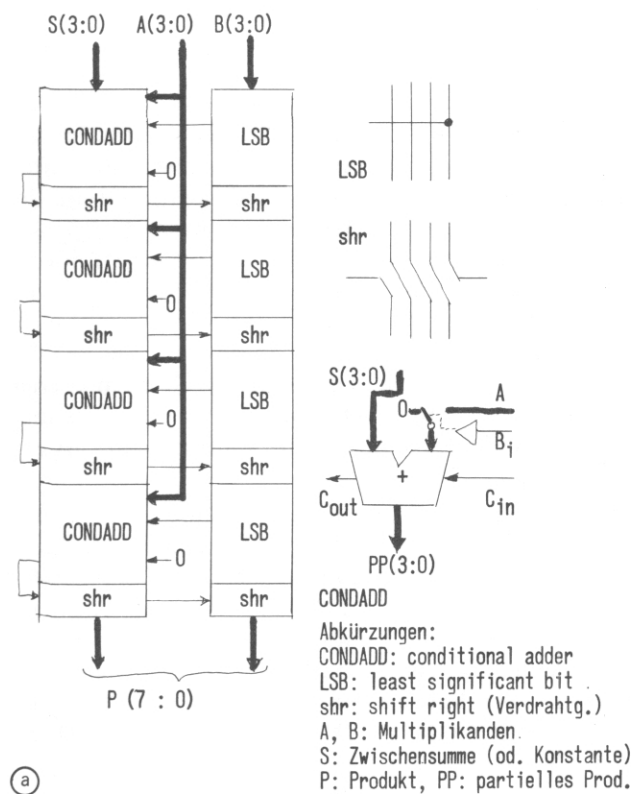
- 1) es wird angestrebt, daß nur ganz wenige Typen möglichst einfacher „Zellen“ entworfen, getestet und evtl. simuliert werden müssen;
- 2) die „Zellen“ seien so gestaltet, daß zu deren Verbindung untereinander möglichst regelmäßige Strukturen entstehen;
- 3) bei 2) wird angestrebt, daß nur möglichst wenige globale „Langstreckenverbindungen“ auf dem Chip entstehen, die ja meist individuell entworfen werden müssen;
- 4) über 2) und 3) sei einfachste Erweiterungsmöglichkeit und Modularität angestrebt derart, daß man durch

einfaches Aufstocken aus einer kleinen Schaltung eine größere erzeugen kann;

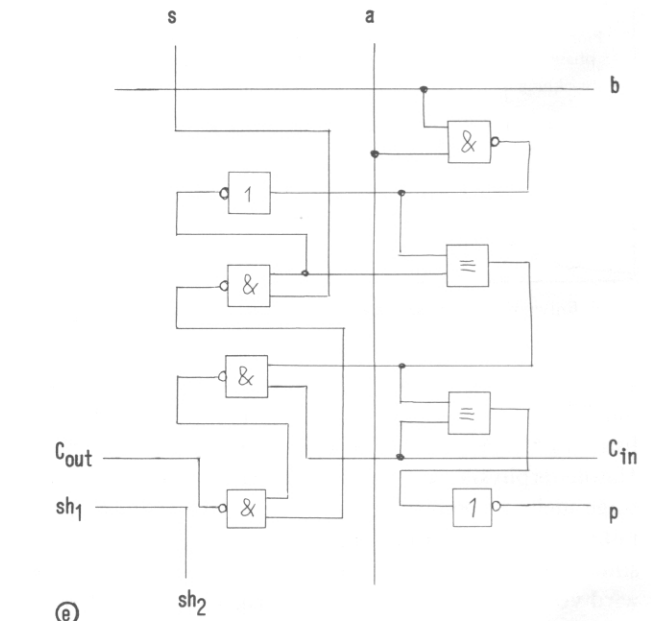
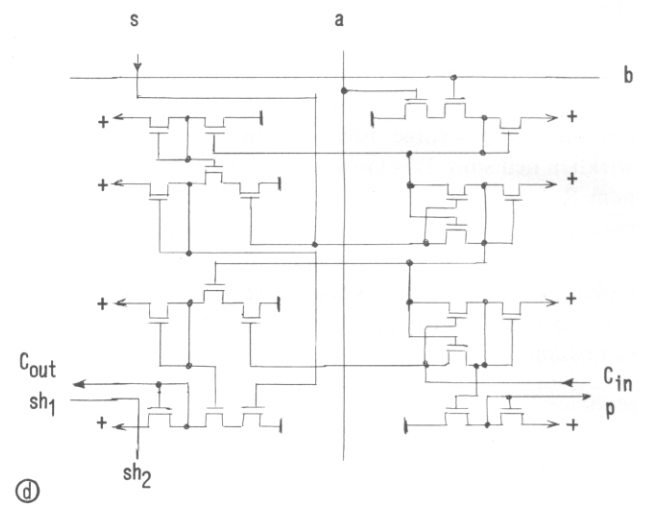
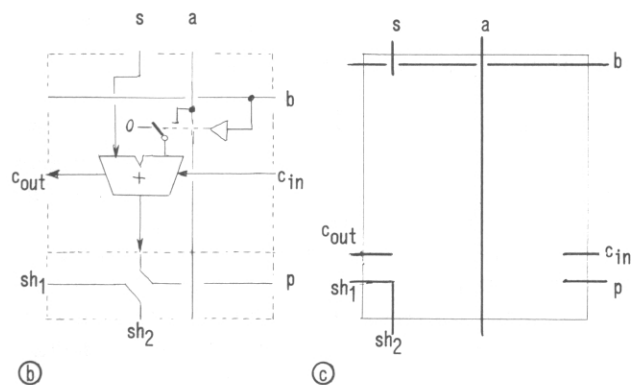
- 5) Durchsatzforderungen seien durch „pipeleining“ oder Parallelverarbeitung erfüllt dadurch, daß viele, möglichst gleiche Zellen zusammengesteckt werden.

Diese Forderungen, die vor allem durch Replikation gleicher „Zellen“ durch Entwurfsprobleme stark reduzieren, sind vor allem im „top-down“-Entwurf erfüllbar. Man wähle unter diesem Aspekt „gute“ Algorithmen aus, die den geringsten Entwurfs-Aufwand erwarten lassen. Ein „guter“ Algorithmus kann etwa wie folgt charakterisiert werden [5]:

- 1) nur wenige Typen einfacher „Zellen“ werden zu seiner Implementierung benötigt;
- 2) der Steuersignalfuß („control flow“) sei einfach und



(a) Bild 11a. Blockdiagramm eines 4x4-Bit-Multiplizierers.



(b) Bild 11b-e. 1x1-Bit-Multiplikator-Zelle: Blockdiagramm (b), Lage der Anschlüsse (c), Schaltung (d), Logik-Diagramm (e).

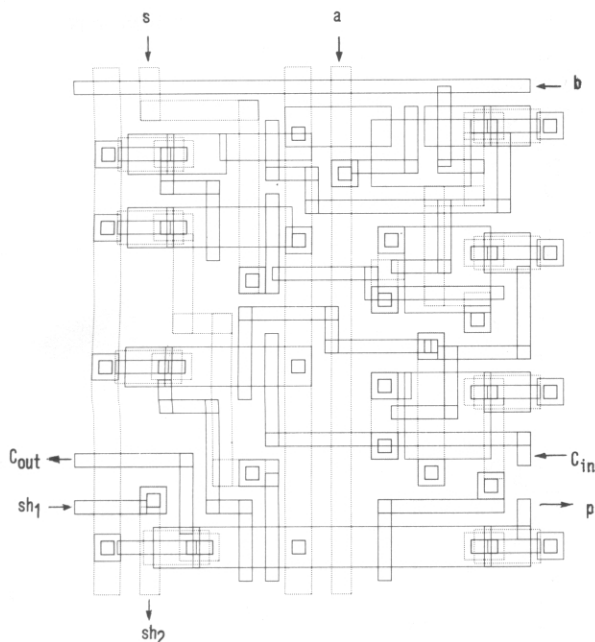


Bild 12. Layout einer 1×1 -Bit-Multiplizierer-Zelle: Nachbarzellen passen nahtlos aneinander.

regelmäßig, so daß man weitestgehend mit lokalen Verbindungen zwischen Nachbarzellen auskommt;

- 3) zu dieser Klasse gehören auch sogenannte „Systolische Algorithmen“ [6], wo typischerweise mehrere Datenströme mit gleichmäßiger Geschwindigkeit über eine Art „Fließband“ durch ein Netz kooperierender Zellen getaktet werden. Dabei findet in jeder Zelle, die vom Datenstrom berührt wird, jeweils eine Teilverarbeitung statt.

Ein typisches Beispiel für 1) ist ein Halbleiterspeicher, der eine 2dimensionale Matrix-Anordnung gleichartiger Elementarspeicherelemente (etwa Flipflops) enthält. Ein Beispiel für 2) ist u. a. die ALU-Scheibe in [1], wo Datenfluß und Steuerfluß (des Operationscode) auf dem Chip zueinander orthogonal verlaufen. In [5] wird ein „systolischer Algorithmus“ am Beispiel einer Mustererkennung in Zeichenfolgen demonstriert. Es hat den Anschein, als stecke speziell die hierdurch definierte Disziplin „Algorithmen für VLSI-Strukturen“ noch ganz in den Kinderschuhen. Andererseits ist diese Disziplin eine große Hoffnung für die Bedeutung der Entwurfslücke der VLSI-Technik. Eine Reihe von Beispielen demonstrieren dies, wie z. B. auch der 68000-Mikroprozessor, dessen Entwurfskosten nur einen Bruchteil der seiner Konkurrenten Z 8000 und 8086 betragen sollen.

Auch ein klassisches Anwendungsbeispiel läßt sich von dieser Seite her sehen. Im folgenden steuern wir ein eigenes Beispiel zum strukturierten Entwurf bei. Es handelt sich um die Realisierung eines einfachen Multiplizierers für ganze Zahlen. Es wird vom gewöhnlichen Shift- und Addieralgorithmus ausgegangen. Bild 11a zeigt die Blockdiagramm-Darstellung der Registertransfer-Ebene anhand eines 4×4 -Bit-Beispiels. Bild 11b zeigt die

Blockdiagramm-Darstellung einer einzelnen 1×1 -Bit-Zelle hierzu. Diese besteht aus einem Schaltnetzteil und einem Verdrahtungsteil, welcher die Shiftoperation realisiert. Bild 11c zeigt den rechteckigen Kasten hierzu mit seinen Ein- und Ausgängen. Bild 11e zeigt das Logikdiagramm hierzu. Bild 12 zeigt die Layout-Darstellung zur Implementierung in n MOS-silicon-gate-depletion-load-Technologie. Diese Zellen lassen sich zur Bildung von größeren Multiplizierern nahtlos aneinanderreihen, ohne daß irgendwelche zusätzlichen Layout-Muster zu deren Verbindung untereinander benötigt werden. Dies ist das Ergebnis des Entwurfsprozesses von der Systemseite her, d. h., der Algorithmus wurde so gewählt und umgesetzt, daß für diese einfache Erweiterung möglich ist. Bild 13 zeigt das Layoutmuster einer 4×4 -Bit-Zellenanordnung.

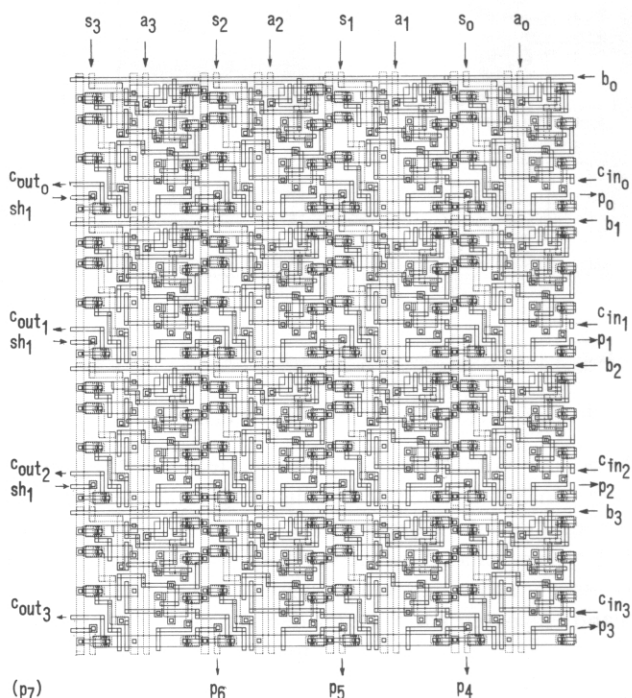


Bild 13. Layout eines 4×4 -Bit-Multiplizierkörpers mit Zellen nach Bild 12.

Man sieht, daß das Muster durch die Replikation der gleichen Zelle 4mal in der Horizontalen und in der Vertikalen entstanden ist. Bild 14 schließlich zeigt das Layout der kompletten Integrierten Schaltung. Man sieht, daß neben den „Pad drivern“ und den „Pads“, die aus der Bibliothek stammen, nur zwei Arten von Zellen benötigt werden. Es werden die eben behandelten 1×1 -Bit-Multiplizierzellen benötigt sowie ein Buffer für Signalverstärkungszwecke zwecks Beherrschung schädlicher Kapazitäten. Auch diese Buffer entstammen der Zellenbibliothek, die nicht vom Designer selbst entwickelt wurde. Der Designer mußte also nur eine einzige Zelle entwickeln, nämlich die Multiplizierzelle, die aus nur 21 Transistoren besteht. Die einzige individuelle Verdrahtung ist der Anschluß der Pads an die Schaltung unter Einfügung der Buffer.

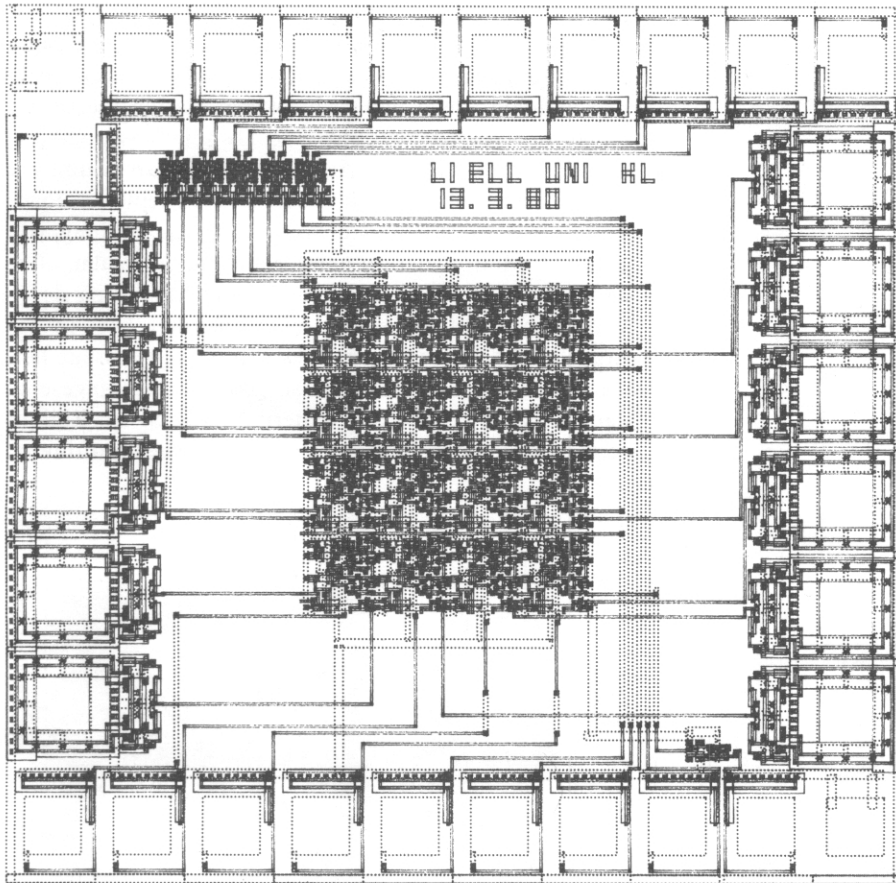


Bild 14. Ein 4×4 -Bit-Multiplizierer-Chip als Multiplizierer-Baukasten.

4.1.1 Einsparungen an Computer-Leistung

Unter der Voraussetzung, daß Integrierte Schaltungen in geringen Stückzahlen sehr billig hergestellt werden können und daß die Durchlaufzeit vom Entwurf bis zur Lieferung der Schaltungen sehr gering ist (ca. 4 Wochen), so ist es denkbar, daß man erheblich an Simulationsaufwand einsparen kann. Unter den genannten Randbedingungen ist es denkbar, daß die Korrektur des Entwurfs einer fehlerhaften Schaltung, u. U. mehrmals hintereinander, immer noch wesentlich billiger sein kann als das Simulieren der Schaltung. Erfahrungen (von [5]) sprechen für diesen Vorschlag. So wird von der Carnegie-Mellon-University berichtet, daß von vier verschiedenen Schaltungen, die kürzlich dorthin geliefert wurden, zwei noch nicht ausgemessen sind, eine sofort funktioniert hat, und eine vierte bezüglich der Schaltgeschwindigkeit enttäuscht hat. Bei dieser vierten handelt es sich um die einzige Schaltung, die vor dem Fabrikationsprozeß simuliert worden ist. Bei der Eingabe der Simulationsparameter wurde ein Fehler gemacht, so daß die Schaltung zu ihrem Nachteil geändert wurde aufgrund des Simulationsergebnisses. Es mag zwar nicht typisch sein, daß man mit Simulation schlechtere Ergebnisse erzielt als ohne Simulation. Diese Erfahrung zeigt jedoch, daß auch die Simulation eine Fehlerquelle sein kann. Auch auf ein Prüfprogramm zur Kontrolle der Entwurfsregeln kann notfalls verzichtet werden [7], wenn eine gute Strategie der Inspektion der „check plots“ zugewandt wird.

4.1.2 Entwurfserfahrungen

Insbesondere am California Institute of Technology liegen größere Erfahrungen vor im Entwurf von VLSI-Bausteinen nach der „neuen Schule“. Ein Doktorand, *Dave Johannsen*, hat dort völlig selbständig einen mikroprogrammierbaren 16-Bit-Mikrorechner entwickelt und entworfen bis zur funktionsfähigen integrierten Schaltung [8]. Dies zeigt, daß hierzu kein größeres Team notwendig war, sondern daß vielmehr ein Student diese Entwurfsaufgabe allein lösen konnte. Das Layout zeigt ein außerordentlich hohes Maß von Regelmäßigkeit. Ein Teil der Strukturen ist beschrieben in [1]. *Masumoto* [9] gibt über den Entwurf eines 16-mal-16-Bit-Multiplikators interessante Zahlen an. Unter Verwendung des Booth-Algorithmus und eines 6-Micron-Prozesses wurden 200 ns Operationszeit erreicht. Nur ca. 18% der gesamten Chipfläche erforderten individuelles Layout. Diese 18% der Fläche enthielt nur ca. 300 Transistoren, was 3% der ca. 10000 Transistoren insgesamt ausmacht. Ca. 97% des Layouts an aktivsten Elementen wurden durch replikative Platzierung von 10 Typen einfacher Zellen erstellt. Das in Abschnitt 4.1 beschriebene einfache Multiplizierer-Beispiel erforderte zusätzlich zu verfügbaren Zellen aus der Zellenbibliothek nur den Entwurf einer einzigen Zelle mit 21 Transistoren und bei 5-Micron-Technologie eine Größe von 0,15 mal 0,18 mm.

4.2 Schließen der Designerlücke

An Vorlesungen mit Übungen nach o. g. Buch wurden inzwischen an 1½ Dutzend Universitäten, vor allem in den USA, Erfahrungen gesammelt. Die Zahl der Studenten, die an diesen Kursen insgesamt teilgenommen haben, hat inzwischen die Höhe von über 300 erreicht. Diese Studenten sind inzwischen zwar keine ganz hochqualifizierten Designer geworden, sie werden es sich auf jeden Fall jedoch zutrauen, sich um eine Stelle als Designer zu bewerben. Auf jeden Fall ist auch die Motivation hierzu vorhanden, und für den künftigen Arbeitgeber wird die weitere Spezialausbildung nicht problematisch sein. Die Tabelle in Bild 15 zeigt eine Liste der Universitäten, die inzwischen teilgenommen haben. Es wird geschätzt, daß in den USA z. Z. etwa 1000–2000 Designer für Integrierte Schaltungen arbeiten. Durch Vergleich dieser Zahlen läßt sich abschätzen, wie schnell möglicherweise der Designermangel in den USA behoben werden kann. Diese schnelle Erhöhung der Zahl von Designern läßt es ratsam erscheinen, auch in der Bundesrepublik sich sehr schnell an diese neue Entwicklung anzuschließen. Wie schnell kann die Situation eintreten, daß in den USA und in Japan der Designermangel behoben sein könnte, während er in der Bundesrepublik eher noch zunimmt.

seit MPC78	seit MPC79	seit MPC580	ab MPC1280
M. I. T.			
Caltech			
Carnegie-Mellon-Universität			
Stanford University			
U. C. Berkeley			
U. o. Rochester			
G.W.U. Washington, DC			
Kaiserslautern Univ.			
U. o. Bristol			
U. o. Colorado Springs			
U. o. Edinburgh			
U. o. Washington, Seattle			
Yale University			
Syracuse University			
U.C. Los Angeles			
U.C. San Diego			
U. o. Illinois			
U. o. Oslo, Norwegen			
U. o. Santa Barbara			
U. o. Santa Clara			
U. o. Southern California			
Washington U., St. Louis			

Bild 15. Teilnahme an MPC (Multi-University Multiproject Chip Set Project).

Aus den oben geschilderten Beobachtungen und den oben aufgeführten Forderungen ergibt sich eine neue Organisationsform der Zusammenarbeit zwischen Designer einerseits und Maskenhersteller und Fabrik andererseits. Diese Organisationsform muß dafür sorgen, daß der Designer entlastet wird von technologischen Problemen und von Problemen der Maskenherstellung. Sie muß außerdem den Designer mit einem Vorrat an Standardzellen versorgen, die er dann zum Zusammensetzen der von ihm entworfenen Strukturen verwenden kann. Diese Or-

ganisationsform muß also die Schnittstelle zwischen dem Designer und dem Rest der Organisation stark vereinfachen und nach Möglichkeit mechanisieren. Bei der Übergabe der Layoutmuster vom Designer an das Maskenhaus muß gesichert sein, daß prozeßspezifische Korrekturen dieser Muster nicht vom Designer vorgenommen werden müssen. Weiter wäre es erstrebenswert, daß auch die Prüfung der Entwurfsregeln durch ein Computerprogramm außerhalb des Hauses des Designers vorgenommen werden kann. Weiterhin wäre es auch wünschenswert, daß die Schaltungssimulation nicht vom Designer organisiert werden muß. (Bei dieser Gelegenheit sei darauf hingewiesen, daß in der Schweiz die Erstellung eines öffentlich geförderten Simulationszentrums als Dienstleistungsunternehmen geplant ist.) Eine weitere Forderung an die neue Organisationsform besteht darin, daß die Durchlaufzeit vom Entwurf bis zum Liefern der montierten Schaltung möglichst kurz sei. Außerdem seien die Kosten für einige Muster sehr gering, so daß auch von dieser kurzen Durchlaufzeit durch entsprechende Organisation des Entwurfsganges Nutzen gemacht werden kann. All diese Forderungen werden praktisch durch einen sogen. Implementierungsdienst erfüllt. Im folgenden Abschnitt werden nähere Einzelheiten über einen solchen Implementierungsdienst in den USA geschildert.

5.1 Aufgaben für einen Implementierungsdienst

Die Forderungen an einen solchen Implementierungsdienst sind im vorausgehenden Abschnitt dargelegt. Bild 16 zeigt das Organisationsdiagramm der dadurch gebildeten neuen Organisationsform der Zusammenarbeit

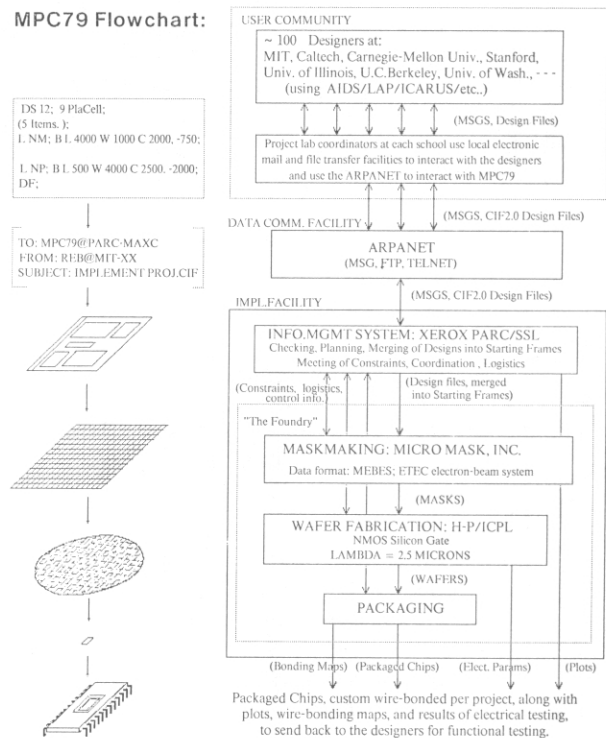


Bild 16. Arbeitsteilung zwischen Anwender und Implementierungsdienst (mit freundlicher Erlaubnis durch Xerox PARC, Palo Alto, USA).

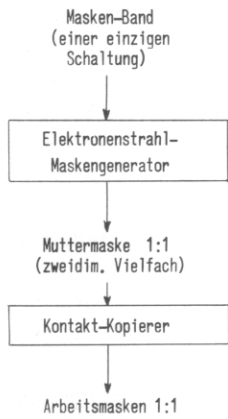


Bild 17. Arbeitsschritte der Maskenerzeugung je Layout-Ebene bei Verwendung eines Elektronenstrahl-Maskengenerators.

zwischen Designer und dem Rest in der Kette. Man sieht, daß der Implementierungsdienst quasi als Schnittstelle zwischen den Designer und die Maskenherstellung dazwischengeschaltet ist. Es fällt vor allen Dingen auf, daß nicht mehr mehrere verschiedene Spezialisten am Entwurf beteiligt sind, sondern sämtliche Ebenen von der Systemebene über die Logikebene und die Schaltungsebene bis zur Layoutebene von einem einzigen Mann bearbeitet werden. Dadurch reduziert sich der Personalbedarf und die Fehlerrate (der Turm-zu-Babylon-Effekt entfällt). Diese Philosophie ist auch die Grundlage des Lehrbuches nach *Carver Mead* und *Lynn Conway*. Der Unterschied zwischen dieser Organisationsform für die Implementierung von Einzelschaltungen und Kleinserien

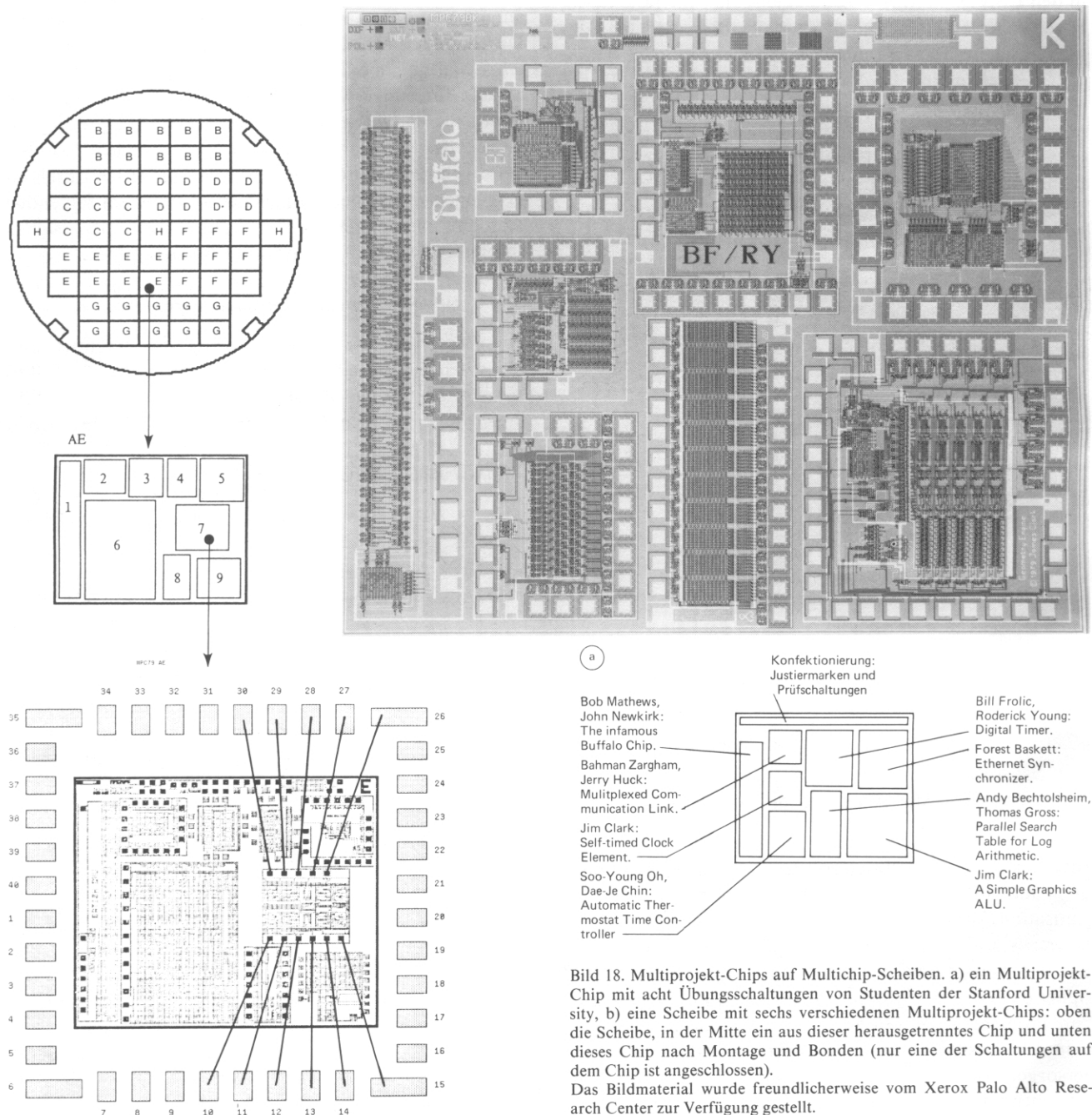


Bild 18. Multiprojekt-Chips auf Multichip-Scheiben. a) ein Multiprojekt-Chip mit acht Übungsschaltungen von Studenten der Stanford University, b) eine Scheibe mit sechs verschiedenen Multiprojekt-Chips: oben die Scheibe, in der Mitte ein aus dieser herausgetrenntes Chip und unten dieses Chip nach Montage und Bonden (nur eine der Schaltungen auf dem Chip ist angeschlossen). Das Bildmaterial wurde freundlicherweise vom Xerox Palo Alto Research Center zur Verfügung gestellt.

verglichen mit der Organisationsform für Massenproduktion (vgl. Bild 5) läßt sich leicht veranschaulichen, wenn man die unterschiedliche Zielsetzung der beiden Organisationsformen beachtet. Bei der Entwicklung von Schaltungen im Hause des Halbleiterherstellers und für Zwecke der Massenproduktion werden vor allen Dingen folgende Ziele angestrebt:

- hohe Integrationsdichte (je kleiner die Chipfläche, desto größer die Ausbeute),
- maximale Leistung der Schaltung,
- sehr sorgfältiger Entwurf und Simulation der Schaltung.

Insbesondere die letzte Forderung des sorgfältigen Entwurfs ergibt sich daraus, daß die gleiche Organisationsform für die Massenproduktion und für die Erzeugung

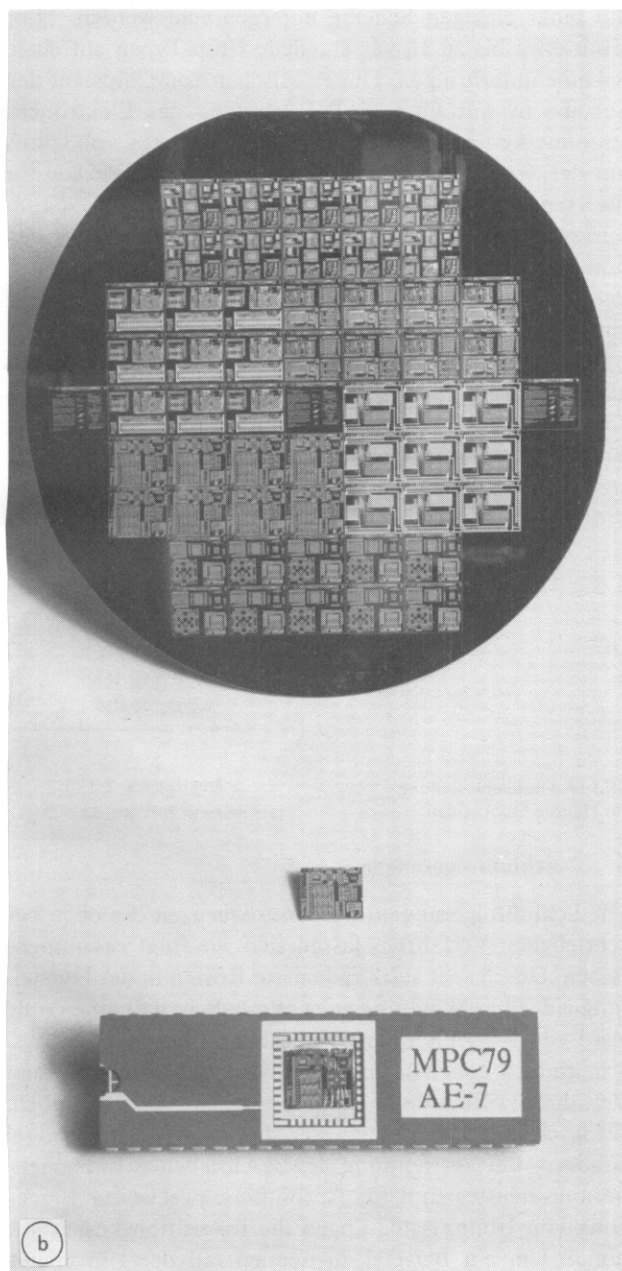


Bild 18b.

von Entwurfsmustern verwendet wird. Entsprechend teuer sind die Entwurfsmuster. Deshalb muß durch sehr sorgfältigen Entwurf vermieden werden, daß ein Prototyp viele Fehler enthält. Bei der Entwicklung außer Haus des Herstellers für Kleinserien und einzelne Prototypvorausmuster entstehen hingegen folgende wesentliche Ziele:

- kürzeste Lieferzeit,
- mehrere Durchläufe im Zuge des Entwurfs,
- konservatives Layout, Erleichterung des Entwurfs und Verbesserung der Ausbeute,
- maximale Leistung der Schaltung nicht vorrangig,
- eine Schaltungsoptimierung erfolgt wenn überhaupt dann erst, wenn aus dem Prototyp ein Produkt wird,
- nach Möglichkeit wird nur ein Prozeß verwendet: der am leichtesten verständliche Prozeß (schwierige Anwendungen eignen sich nicht für das hier beschriebene Verfahren),
- möglichst einfache Entwurfsregeln (auch hier Verzicht auf Optimierung zwecks Erleichterung des Entwurfs),
- besondere leicht verständliche Hilfen mit Rezeptcharakter werden vom Implementierungsdienst angeboten.

Ein entsprechender Implementierungsdienst, der diese Forderungen für Kleinserienherstellung und Prototypvorausmuster-Herstellung erfüllt, liegt als Pilotprojekt im Forschungszentrum Xerox PARC in Palo Alto in den USA vor. Der Implementierungsdienst liefert im wesentlichen alle die o. g. Dienstleistungen. Darüber wird auch die Auftragsbearbeitung rationalisiert und somit in den Kosten reduziert, dadurch, daß Aufträge nur über Datenfernübertragung akzeptiert werden. Es existiert keinerlei Schriftwechsel oder mündliche Kommunikation zwischen dem Designer und dem Implementierungsdienst. Allenfalls werden gelegentlich Rundschreiben und Bulletins an alle Teilnehmer des Systems verschickt. Auf dem Wege der Datenfernverarbeitung kann der Designer auch Statusabfragen über den Status seines Projekts am Computer des Implementierungsdienstes anbringen. Eine weitere sehr wesentliche Dienstleistung dieses Implementierungsdienstes besteht in der Bildung sogen. „Multiprojekt-Chips“, die eine wesentliche Verbilligung der Schaltungsherstellung ermöglichen, insbesondere bei kleineren Studentenübungsschaltungen. Dieses wird im nächsten Abschnitt 5.2 behandelt.

5.1.1 VLSI-Implementierungsdienste in den USA – ein Politikum

Eine Pilot-Version eines „fast-turnaround/remote-ent“ Implementierungsdienstes ähnlich obiger Beschreibung existiert seit 1978 im Xerox Palo Alto Research Center (PARC) in Palo Alto, Kalifornien. In Synchronisation mit dem Lehrbetrieb an den Universitäten wurden bisher drei „Implementierungs-Campagnen“ durchgeführt: MPC 78 im Winter-Quarter 1978 zusammen mit dem MIT, MPC 79 im Winter 1979 bereits mit ca. einem hal-

ben Dutzend US-Universitäten und MPC 580 im „Spring quarter“ 1980. MPC heißt „Mult-University Multiprojekt Chip Set project. Dabei bedeutet 580, daß im Mai 1980 der Schlußtermin für das Einsenden von Entwürfen liegt. Die nächste Campagne „MPC 1280“ ist in Vorbereitung. Bild 15 zeigt eine noch offene Liste der Teilnehmer-Universitäten.

Es handelt sich hierbei um ein Pilotprojekt. Unter Förderung durch DARPA ist die Einrichtung eines ständigen Implementierungsdienstes am ISI (Institute for Information Sciences) der USC (University of Southern California), Los Angeles, geplant. Nur ausgewählte Universitäten aus den USA sollen zugelassen werden. Hierbei spielen auch politische Überlegungen eine Rolle, was diese Einschränkung angeht. Wie aus gut informierten Quellen verlautet, liegt seit kurzer Zeit eine Einbeziehung des Implementierungsdienstes in Embargo-Regelungen vor. Man hofft seitens der Betreiber des Dienstes, daß sich das politische Problem auf dem Verhandlungswege lösen läßt. Einige kleine Studentenschaltungen werden doch wohl kaum eine strategische Bedeutung haben. Daß weitblickende protektionistische Überlegungen auch eine Rolle spielen, ist kaum anzunehmen.

5.2 Maskenherstellung für Kleinserien und Einzelmuster

Eine weitere Vereinfachung der Maskenherstellung ist dadurch möglich, daß über einen Elektronenstrahl-Maskengenerator sofort die Muttermaske erzeugt wird, ohne Dazwischenschaltung eines Recticles. Dies ist durch Bild 17 veranschaulicht. Aus der Muttermaske wird dann unmittelbar die Arbeitsmaske hergestellt durch Reproduktion mit Hilfe eines Kontaktverfahrens. Wir haben die Zahl der Schritte in der Maskenherstellung somit von 3 auf 2 reduziert. Wenn ich von nur sehr geringen Stückzahlen ausgehe, und davon, daß ein Teil der Schaltungen möglicherweise fehlerhaft ist und in einem zweiten Durchlauf in verbesserter Form eingebracht wird, kann ich auch sofort die Muttermaske für die Herstellung verwenden. Ich kann also auf die Herstellung von Arbeitsmasken verzichten und habe dadurch einen weiteren Schritt in der Maskenherstellung eingespart. Es läßt sich verstehen, daß dadurch die Maskenherstellung erheblich verbilligt wird.

Eine weitere Verbilligung der Maskenherstellung erfolgt durch die Verwendung sogen. Multiprojectchips. Hierbei werden mehrere verschiedene Schaltungen auf einem einzigen Chip untergebracht. Bild 18a zeigt ein Beispiel eines solchen Multiprojectchips. In diesem Fall sind 8 verschiedene Schaltungen auf diesem Chip untergebracht. Man sieht deutlich im Bild die Anschlußpads der einzelnen Schaltungen. Bei der Montage dieses Chips wird dann nur eine dieser 8 Schaltungen „gebondet“. Dieses Multiprojectchip enthält einen sogen. „starting frame“, der die Chipgrenzen vorzeichnet für das spätere Schneiden der Scheibe und auch sämtliche Testschaltungen und Muster enthält, die zur Prüfung des Fabrikationsprozesses notwendig sind. Diese speziell entwickelte Anord-

nung von Prüfschaltung kann bis zu einem gewissen Grade entscheiden, ob die fehlerhafte Funktion einer Schaltung auf Prozeßparameter zurückzuführen ist oder auf einen Entwurfsfehler, den der Designer zu verantworten hat.

Es liegt auf der Hand, daß durch das Multiprojectchip die Kosten der Prototyp-Herstellung auf die Anzahl der Designer umgelegt werden kann, die an dem Chip beteiligt sind. Bei den in Xerox PARC produzierten Chips liegt die Zahl der Designer pro Chip zwischen 1 und 15. Man kann also von einer durchschnittlichen Kostenreduktion um eine Größenordnung ausgehen. Die „Assemblierung“ der einzelnen Schaltungen zu einem Multiprojectchip ist eine der Dienstleistungen des Implementierungsdienstes. Eine weitere Verbilligung entsteht dadurch, daß mehrere solcher Multiprojectchips wiederum auf einer einzigen Scheibe untergebracht werden. Man kann etwa bis zu 10 verschiedene Chip-Typen auf einer Scheibe unterbringen. Dieses Mischen von Chips auf der Scheibe ist nur über die Verwendung des Elektronenstrahlmaskengerätes möglich. Diese Mischung von Chips auf der Scheibe (vgl. Bild 18b) erniedrigt die Kosten für die Herstellung von Masken und Musterchips wiederum um annähernd eine Größenordnung. Bild 19 zeigt das nunmehr vereinfachte Organisationsdiagramm der Maskenherstellung. Hierbei wird sofort mit dem Elektronenstrahl-Maskengenerator die Arbeitsmaske erzeugt. Wir haben also nur noch einen einzigen Schritt in der Maskenherstellung. Alle diese Faktoren wie das Multiproject-Chip, die Multichip-Scheibe und die stark vereinfachte Maskenherstellung sorgen für eine Verbilligung der Herstellung einzelner Chips um mehr als 2 Größenordnungen.

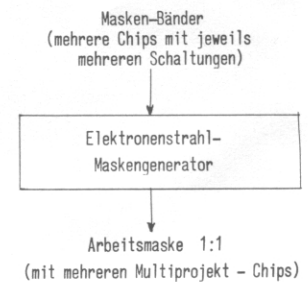


Bild 19. Maskenherstellung für kleinste Stückzahlen.

6 Schlußfolgerungen

Die Schlußfolgerungen und Konsequenzen des oben beschriebenen Verfahrens lassen sich wie folgt zusammenfassen. Durch sehr stark reduzierte Kosten in der Herstellung einzelner Schaltungen ist es möglich, daß eine große Zahl von Studenten bei der Ausbildung eigene Übungsschaltungen entwirft. Dies wird auch durch die mit dem Verfahren verbundene schnelle Durchlaufzeit möglich. Dadurch läßt sich in kürzester Zeit der Designermangel beheben. Bei Verwendung des beschriebenen Implementierungsdienstes sind für Ausbildungszwecke zur Erzeugung von Übungsschaltungen die Investitionskosten minimal. Um ein Beispiel zu nennen: an der Universität Kaiserslautern betragen die Investitionskosten nur ca.

DM 35000. Ein Mikrorechnersystem (Hewlett Packard 13290B) für ca. DM 20000 und ein DIN-A-3-Vierfarbplotter (Hewlett Packard 9872A) für ca. DM 15000. Dabei wird allerdings davon ausgegangen, daß ohnehin eine größere Rechenanlage vorhanden ist, an die dieses System angeschlossen werden kann. An der Universität Kaiserslautern beispielsweise läuft ein Großteil der Software zur Erzeugung der Layoutmuster auf der Siemens 7738, die hierdurch nur mit wenigen Prozent des Durchsatzes belastet wird.

Auch das Schließen der Entwurfsücke rückt in greifbare Nähe. Durch die schnelle Durchlaufzeit läßt sich der Entwurfsprozeß mit weniger oder sogar ohne Simulation durchführen. Verfahren des strukturierten Entwurfes helfen weiter dabei. Erfahrungen von verschiedenen Plätzen, vor allem in den USA, sind sehr ermutigend. Es läßt sich vielleicht zusammenfassend sagen: jetzt ist der richtige Zeitpunkt gekommen dafür, daß der Entwurf hochintegrierter VLSI-Schaltungen nicht mehr eine Domäne weniger Spezialisten ist, sondern vielmehr eine große Anzahl von Anwendern damit beginnen, ihre eigenen Schaltungen zu entwerfen.

Wir sind zubesonderem Dank verpflichtet Dr. *Hörbst* und Dr. *Pfleiderer* vom Siemens Zentrallabor in München für wertvolle Anregungen, die uns beim Aufbau unseres Systems sehr wertvoll waren. Gedankt sei auch den Wissenschaftlichen Mitarbeitern Dipl.-Ing. *Peter Liell*

und Dipl.-Inform. *Werner Sager*, die sich mit großem Einsatz um die Implementierung und Anpassung der Software bemüht haben. Sehr wertvoll war auch der Beitrag des Studentischen Mitarbeiters stud. inform. *Künkler*. Gedankt sei auch den Studenten, die geduldig die Verzögerungen in der Implementierung unseres Systems abgewartet haben. Ganz besonderer Dank gilt Dr. *Lynn Conway*, Xerox PARC, und Prof. *Carlo Sequin*, University of California at Berkely, ohne die unsere Aktivitäten zu einem so frühen Zeitpunkt hier in Kaiserslautern nicht möglich gewesen wären.

Literatur

- [1] *Mead, C. A.; Conway, L.*: Introduction to VLSI-Systems. Addison-Wesley, Reading, Mass. 1980.
- [2] *Conway, L.*: University Scene. Lambda, 1 (1980) No. 1.
- [3] *Mead, C. A.*: VLSI and Technological Innovation. Proc. Caltech Conference on VLSI, California Institute of Technology, Pasadena 1979.
- [4] *Garbrecht, K.; Steiner, K.-U.*: Perspectives of Large Scale Integration. Siemens-Forschungs- und Entwicklungsberichte 5 (1976), H. G.
- [5] *Foster, M. J.; Kung, H. T.*: The Design of Special Purpose VLSI Chips. Computer 13 (1980), No. 1 (Januar).
- [6] *Kung, H. T.*: Let's Design Algorithms for VLSI Systems. Proc. 1979 Caltech Conf. on VLSI, California Institute of Technology, Pasadena, 1979.
- [7] *Hon, R.; Sequin, C.*: VLSI Implementation Guide. Xerox PARC, Palo Alto 1979.
- [8] *Johannson, D.*: Our Machine - A Microcoded LSI Processor. Proc. 11th Ann. Workshop on Microprogramming, Pacific Grove, 1978 ACM, New York 1978.
- [9] *Masumoto, R. T.*: A 16 Bit LSI Digital Multiplier. Engineer's Thesis, California Institute of Technology, Pasadena, CA, 1978.

Einfluß der Sicherheitskern-Architektur auf die Strukturierung von Betriebssystemen

The influence of a security kernel architecture on the structure of operating systems

Elektron. Rechenanl. 22 (1980), H. 4, S. 173-179
Manuskripteingang: 19. Dezember 1979

In einer Sicherheitskern-Architektur enthält der Kern des Betriebssystems zusammen mit der Hardware die primitiven Sicherheitsmechanismen, die die korrekte Zugriffskontrolle garantieren. Daneben ist der Kern auch für die Überwachung des möglichen Informationsflusses im System verantwortlich. Dieses bedingt einige Forderungen an die Struktur des Systems. Diese Forderungen werden erläutert, und aufbauend auf diesen Forderungen wird die sich daraus ergebende Struktur des Betriebssystems entwickelt.

In a security kernel architecture the kernel of the operating system together with the hardware contains the basic secu-

von Hans vor der BRÜCK
Industrieanlagen-Betriebsgesellschaft mbH, Ottobrunn

ry mechanisms to guarantee correct access control. The kernel is also responsible for controlling all possible information flows in the system. This imposes some constraints on the structure of the operating systems. These constraints are investigated and the resulting structure of the operating system is given.

1 Einleitung

Infolge der schnell fortschreitenden Abhängigkeit großer Teile des industriellen, militärischen und öffentlichen Bereichs von in DV-Anlagen gespeicherter Information und

der damit verbundenen Gefahr des Mißbrauchs oder der Zerstörung dieser Information gewinnt das Gebiet der Datensicherheit, d. h. der Schutz vor unbefugter Informationsgewinnung (Datengeheimhaltung) und vor unbefugter Informationsveränderung und Informationszerstörung (Datenintegrität), eine vorrangige Bedeutung auf dem Gebiet der Datenverarbeitung. Dies zeigt sich nicht zuletzt darin, daß auch der Gesetzgeber versucht hat, die gesetzlichen Voraussetzungen für den Schutz des Bürgers vor Mißbrauch seiner personenbezogenen Daten zu schaffen [1].

Seit Ende der sechziger Jahre wurde vor allem in den USA zunächst vereinzelt, in den siebziger Jahren verstärkt der technische Aspekt des Datenschutzes untersucht, wobei übereinstimmend die Erfahrung gemacht wurde, daß heutige kommerzielle Systeme ernsthaften Penetrationsversuchen nicht standhalten konnten, z. B. [2; 3; 4]. Basierend auf dieser Erkenntnis wurde an verschiedenen Stellen mit der Entwicklung sicherer Systeme begonnen, z. B. [5 bis 12].

Versuche, die Sicherheitsschwachstellen älterer kommerzieller Betriebssysteme zu beheben, führten nicht zu dem gewünschten Erfolg, da auch nach der Behebung der bekannten Schwachstellen die Systeme erneuten Penetrationsversuchen nicht standhielten [2; 3].

Lediglich in zwei Fällen, dem VM 370 von IBM und dem Multics Betriebssystem, wurde erfolgreich der Versuch unternommen, nachträglich ein hohes Maß an Sicherheit in das System einzubauen. Hierzu wurden im VM 370 die sicherheitsrelevanten Teile vom Restsystem separiert und in Form eines sogenannten Sicherheitskerns neu implementiert [16].

Im Multics, das bereits weitgehend unter den Aspekten Sicherheit und Zuverlässigkeit entwickelt wurde [17], wurde ebenfalls der sicherheitsrelevante Teil des Betriebssystems in einem Kern zusammengefaßt, der durch die Hardware vom Restsystem geschützt wird [18]. Außerdem wurde ein zusätzlicher Zugriffsüberprüfungsmechanismus eingebaut. Das so erweiterte System wurde unter gewissen organisatorischen Einschränkungen für die Verarbeitung verschieden eingestufte Information bei der US Air Force freigegeben [19].

Mit Ausnahme der Entwicklung bei SRI (PSOS – a Provable Secure Operating System [13]) bauen alle Entwicklungen eines sicheren Betriebssystems auf dem sogenannten Kernkonzept auf, d. h. die Software, die für die Einhaltung der primitiven Sicherheitsfunktionen zuständig ist, wird vom Restsystem getrennt in einem sogenannten Sicherheitskern implementiert. Die Abtrennung dieses Teils in einen relativ kleinen Sicherheitskern eröffnet die Möglichkeit, diesen Teil als korrekt nachzuweisen.

Sicherheitskerne wurden z. B. bei UCLA [7] und Mitre [6] für eine PDP 11/45 implementiert. Gegenwärtig wird an mindestens zwei Stellen (Honeywell, Ford Aerospace & Communications Corporation) ein sicheres Betriebssystem mit der UNIX – Benutzerschnittstelle auf der Basis eines Sicherheitskerns (KSOS – Kernelized Secure Oper-

ating System) entwickelt. Daneben wird bei SDC (System Development Corporation), ebenfalls auf dem Kernkonzept aufbauend, das KVM 370 (Kernelized VM 370) implementiert [16].

Bei PSOS wurde dagegen versucht, durch eine klare hierarchische Gliederung und formale Spezifikationstechniken die Voraussetzung zu schaffen, ein ganzes Betriebssystem beweisbar korrekt zu machen. Hierzu wurde an die Hardware eine Reihe von Forderungen gestellt, die einzeln bereits in verschiedenen Architekturen realisiert sind, für deren Gesamtheit jedoch keine Hardware gegenwärtig verfügbar ist. PSOS liegt seit 1977 in Form einer formalen Spezifikation vor [13].

Ziel dieser Arbeit ist es, die Folgerungen, die sich für die Strukturierung des Restbetriebssystems und der übrigen Systemsoftware aus dem Kernkonzept ergeben, aufzuzeigen. Hierzu soll in Abschnitt 2 ein kurzer Überblick über die Begründung und die Eigenschaften einer Sicherheitskern-Architektur gegeben werden. Abschnitt 3 enthält eine Erläuterung der Eigenschaften der Organisationsformen Unterprogramm und Prozeß unter dem Blickpunkt der Sicherheit. In Abschnitt 4 wird kurz auf die notwendige minimale Hardwareunterstützung eingegangen, während in Abschnitt 5 die Implementierung komplexer sicherheitsrelevanter Funktionen als sogenannte „vertrauenswürdige“ Prozesse diskutiert wird.

2 Die Sicherheitskern-Architektur

In diesem Abschnitt soll kurz auf die Gründe eingegangen werden, die zur Strukturierung eines Betriebssystems in einen Sicherheitskern und Restsystem führten. Außerdem sollen die Eigenschaften eines Sicherheitskerns und seine Schnittstelle zum Restsystem und davon ausgehend auch die Forderungen an das Restsystem aufgezeigt werden.

Erfahrungen aus Penetrationsversuchen an praktisch allen kommerziellen Betriebssystemen, auch nach Versuchen, Sicherheitsschwachstellen zu reparieren, führten zu der Erkenntnis, daß garantierte Datensicherheit in Betriebssystemen, in denen die Datensicherheit *nicht* ein grundlegendes hochprioreres Designziel war, nicht möglich ist. Außerdem herrscht weitgehend darin Übereinstimmung (Ausnahme siehe PSOS [13]), daß es in näherer Zukunft nicht möglich sein wird, Softwaresysteme von der Größe eines kommerziellen Betriebssystems vollständig zu testen oder den Code gar auf seine Korrektheit zu beweisen. Aus diesem Grund werden gegenwärtig an mehreren Stellen (Honeywell und Ford Aerospace & Communications Corporation entwickeln KSOS, System Development Corporation [SDC] das KVM 370) Betriebssysteme bzw. ein virtueller Maschinenmonitor (VMM) auf der Basis von sogenannten Sicherheitskernen entwickelt.

Die Grundidee hierbei ist, den sicherheitsrelevanten Teil des Betriebssystems vom Restsystem zu isolieren und das Restsystem so zu strukturieren, daß bei Korrektheit dieses isolierten Teilsystems keine Verletzung der Sicher-

Bisher im Fachbereich Informatik erschienene Interne Berichte:

1. Dausmann, Persch, Winterstein
"Concurrent Logik". Jan. 79
2. Balzert
"Die Programmiersprache PLASMA 78". Febr. 79
3. Avenhaus, Madlener
"String Matching and Algorithmic Problems in Groups". März 79
4. Patock
"Jahresbericht des Informatikrechenzentrums". März 79
5. Hartenstein, Hubschneider, Rosebrock, Wiedemann
"Ein SC/MP Multi-Mikrorechner-System zur Straßenverkehrs-Datenerfassung". April 79
6. Dausmann
"MODULA 7/32
A version of MODULA for the INTERDATA 7/32". März 79
7. Bergsträßer
"Ein Assembler für Lisp-Werk einer Lisp-Maschine". Jan. 79
8. Hartenstein
"Verallgemeinerung der Prinzipien Mikroprogrammierter Rechnerstrukturen". Febr. 79
9. Dieckmann
"Entwurf spezialisierter Rechnernetze zur Unterstützung Modularer Programmierung". Juni 79
10. Hartenstein, v. Puttkamer
"Ansätze für Integrierten Hardware/Software Entwurf". Juni 79
11. Konrad
"Asynchroner Datenpfad zur losen Kopplung von Mikrorechner". Mai 79
12. Hartenstein
"LSI Chip Design: from Evolution to Revolution". Juni 79
13. Hartenstein, Hörbst, v. Puttkamer
"Loosely coupled Micros - Distributed Function Architectures: a Design Kit and Development Tool". Juni 79
14. Konrad
"Communication And Testing In a Loosely Coupled Multi Microcomputer System". Aug. 79
15. Hartenstein, v. Puttkamer
"KARL
A Hardware Description Language as Part of a CAD Tool for VLSI". Juli 79
16. Avenhaus, Madlener
"AN ALGORITHM FOR THE WORD PROBLEM IN HNN EXTENSIONS AND THE DEPENDENCE OF ITS COMPLEXITY ON THE GROUP REPRESENTATION". Juli 79

- | | | |
|-----|---|-----------|
| 17. | Nehmer
"Implementierungstechniken für Monitore". | Jan. 80 |
| 18. | Nehmer
"The Implementation of Concurrency for a PL/I-like Language". | Jan. 80 |
| 19. | Patock
"Jahresbericht des Informatikrechenzentrums". | Febr. 80 |
| 20. | Schlichtiger
"PARTITIONED CHAIN GRAMMARS". | Nov. 79 |
| 21. | Schlichtiger
"ON THE PARSING OF PARTITIONED CHAIN GRAMMARS". | Dez. 79 |
| 22. | Schlichtiger
"ON HOW TO CONSTRUCT EFFICIENTLY PARSABLE GRAMMARS". | Febr. 80 |
| 23. | Nehmer, Racke, Rombach, Massar
"Ein System- und Entwurfskonzept für verteilte Betriebssysteme" | Mai 80 |
| 24. | | |
| 25. | Hartenstein, Mußtopf
"The Consequence of Microelectronics onto Education in the Computer Science Field" | Juli 80 |
| 26. | A local micro network to support software modularity by Dieckmann, Hartenstein | August 80 |
| 27. | Dieckmann, Flötotto, Hartenstein, Konrad
Die Realisierung des ESRA-Rechnernetz-Baukasten-Systems: ein Ansatz zu einer Methodologie für zuverlässige Software | August 80 |
| 28. | Hartenstein
"VLSI-Bausteine in geringen Stückzahlen für Spezialanwendungen" | August 80 |